



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10209148 A**(43) Date of publication of application: **07.08.98**

(51) Int. Cl.

H01L 21/316**H01L 21/768**(21) Application number: **09012124**(71) Applicant: **SONY CORP**(22) Date of filing: **27.01.97**(72) Inventor: **HASEGAWA TOSHIAKI**

(54) **METHOD FOR FORMING LOW DIELECTRIC
CONSTANT INSULATOR FILM AND
SEMICONDUCTOR DEVICE USING THE SAME**

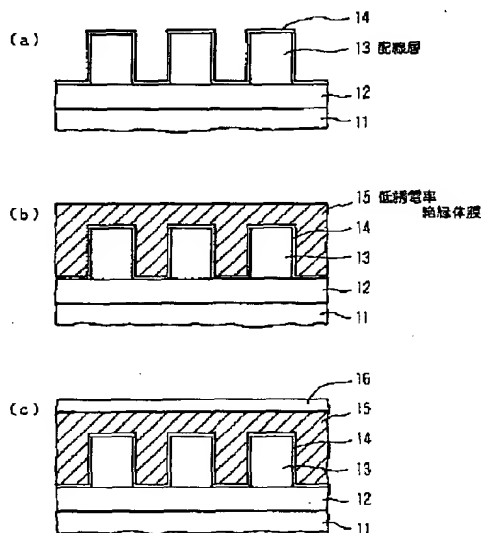
device such as a reliable logic IC and a
high-integration memory.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve adhesion and processing properties by using a feed gas containing tetrafluoroethylene, silane compound, and H_2O_2 and forming a low dielectric constant insulator film on a substrate to be treated by the liquid phase CVD method.

SOLUTION: A lower-layer interlayer insulation film 12 consisting of, for example, SiO_2 , a wiring layer 13 consisting of, for example, Al-1% Si, and a protection film 14 consisting of, for example, SiO_2 for conformally covering the wiring layer 13 are formed on a semiconductor substrate 11. Then, by using a feed gas containing tetrafluoroethylene, silane compound, and H_2O_2 , a low dielectric constant insulation film 15 is formed on the semiconductor substrate 11 by the liquid phase CVD method. After that, an insulation film 16 consisting of, for example, SiO_2 is formed on the low dielectric constant insulation film 15 by the CVD method, thus improving a gap fill capacity and global flattening capacity, an adhesion property, and an etching characteristic and obtaining a semiconductor



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209148

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁸

H 0 1 L 21/316
21/768

識別記号

F I

H 0 1 L 21/316
21/90

X
K

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平9-12124

(22) 出願日 平成9年(1997) 1月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6丁目7番35号

(72) 発明者 長谷川 利昭

東京都品川区北品川 6丁目7番35号 ソニ
ー株式会社内

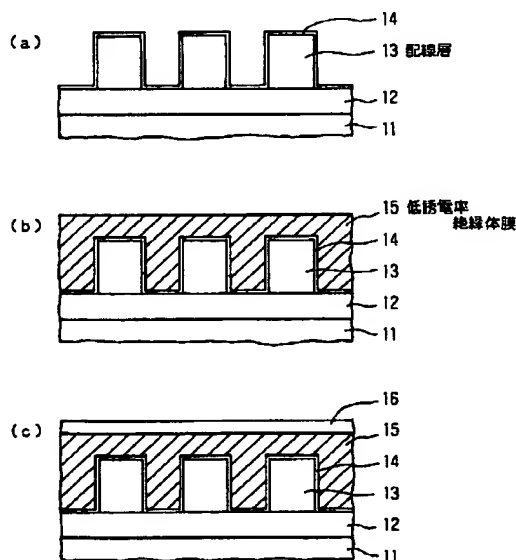
(54) 【発明の名称】 低誘電率絶縁体膜の形成方法およびこれを用いた半導体装置

(57) 【要約】

【課題】 ギャップフィル能力、グローバル平坦化能力および密着性に優れた低誘電率絶縁体膜の形成方法、およびこれを用いた半導体装置を提供する。

【解決手段】 テトラフルオロエチレン、シランおよび H₂ O₂ を含む原料ガスを用い、液相CVD法により低誘電率絶縁体膜 15 を形成する。

【効果】 フルオロカーボン系樹脂成分と酸化シリコンとの共重合体材料が形成される。したがって、シリコン基板や酸化シリコン等との密着性に優れ、エッチング特性等の加工性もよい。



【特許請求の範囲】

【請求項1】 フルオロカーボン系樹脂成分を含有する酸化シリコン系絶縁膜を、被処理基板上に化学的気相成長法により成膜する低誘電率絶縁体膜の形成方法において、

前記化学的気相成長法に用いる原料化合物は、少なくともテトラフルオロエチレン、シラン系化合物および H_2O_2 を含むことを特徴とする低誘電率絶縁体膜の形成方法。

【請求項2】 フッ素を含む有機成分を含有する酸化シリコン系絶縁膜を、被処理基板上に化学的気相成長法により成膜する低誘電率絶縁体膜の形成方法において、前記化学的気相成長法に用いる原料化合物は、少なくともポリテトラフルオロエチレン、シラン系化合物および H_2O_2 を含むことを特徴とする低誘電率絶縁体膜の形成方法。

【請求項3】 前記シラン系化合物は、シラン、ジシラン、モノメチルシランおよびジメチルシランのうちの少なくともいずれか1種であることを特徴とする請求項1または2記載の低誘電率絶縁体膜の形成方法。

【請求項4】 前記被処理基板は段差を有し、前記段差を埋めて略平坦な表面を有する低誘電率絶縁体膜を形成することを特徴とする請求項1または2記載の低誘電率絶縁体膜の形成方法。

【請求項5】 前記被処理基板を室温以下に制御しつつ、前記化学的気相成長を施すことを特徴とする請求項1または2記載の低誘電率絶縁体膜の形成方法。

【請求項6】 低誘電率絶縁体膜の比誘電率は、3.0未満であることを特徴とする請求項1または2記載の低誘電率絶縁体膜の形成方法。

【請求項7】 請求項1記載の低誘電率絶縁体膜の形成方法により形成された低誘電率絶縁体膜を、層間絶縁膜として有することを特徴とする半導体装置。

【請求項8】 請求項2記載の低誘電率絶縁体膜の形成方法により形成された低誘電率絶縁体膜を、層間絶縁膜として有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は低誘電率絶縁体膜の形成方法およびこれを用いた半導体装置に関し、さらに詳しくは、フルオロカーボン系樹脂成分を含有する酸化シリコン系絶縁膜を、平坦に形成する際に適用して好適な低誘電率絶縁体膜の形成方法およびこれを用いた半導体装置に関する。

【0002】

【従来の技術】 LSI等の半導体装置の高集積度化が進展するに伴い、多層配線構造においては同一配線層内の隣り合う配線間の層間絶縁膜の幅が狭まるとともに、異なる配線層間の層間絶縁膜の厚さも薄くなっている。かかる配線間隔の縮小により、配線間容量の上昇が問題と

なりつつある。このため半導体装置の実動作速度は1/K (Kは縮小率)のスケーリング則に合致しなくなり、高集積化のメリットを十分に享受することができない。配線間容量の上昇防止は、高集積度半導体装置の高速動作、低消費電力および低発熱等の諸要請に応えるためには、是非とも解決しなければならない要素技術の1つである。高集積度半導体装置の配線間容量の低減方法として、例えば特開昭63-7650号公報に開示されているように、低誘電率材料の層間絶縁膜の採用が有効である。

【0003】 低誘電率材料としては、フッ素を含む酸化シリコン系絶縁膜（以下 SiO_F と記す）等の無機系材料が代表的である。 SiO_F は $Si-O-Si$ 結合のネットワークをF原子で終端することでその密度が低下すること、および $Si-F$ 結合の分極率が小さいことにより低誘電率が達成される。またその成膜プロセスや加工プロセスが SiO_2 等従来の無機系層間絶縁膜の成膜プロセスや加工プロセスと整合性があることから、現用の製造設備でも容易に採用できるので注目されている。また無機系材料であるので当然のことながら耐熱性にも優れる。

【0004】 SiO_F の成膜法としては、従来よりTEOSにフッ素源として例えば NF_3 を添加してCVD成膜する方法（第40回応用物理学関係連合講演会（1993年春季年会）講演予稿集p799、講演番号1a-ZV-9）等が報告されている。また、膜質の安定化を目的として、難分解性の SiF_4 を高密度プラズマにより解離して低誘電率の SiO_F を形成する方法（第40回応用物理学関係連合講演会（1993年春季年会）講演予稿集p752、講演番号31p-ZV-1）が報告されている。

【0005】 SiF_4 をシリコン供給源とする高密度プラズマCVD法では、比誘電率が3.4程度の SiO_F が得られる。しかしながら、低誘電率を達成するために高濃度のフッ素原子を酸化シリコン中に導入しようとすると、遊離のFやHFが SiO_F 中に採りこまれる。この場合には、後工程で層間絶縁膜に接続孔を開口し、接続孔内にTiNバリア層やWプラグを埋め込む際に、 SiO_F 中の遊離のFやHFとTiNとが反応し、TiNバリア層の密着性が著しく低下し、WプラグやW層の剥離に至る事態が発生する。かかる現象は、例えば第43回応用物理学学会学術講演会（1996年春季年会）講演予稿集p672、講演番号28a-K-3に報告されている。

【0006】 また遊離のFやHFとはならないまでも、シリコン1原子に2個のF原子が結合した SiF_2 結合が発生する。 SiF_2 結合は不安定で容易に加水分解して $SiOH$ 結合を生成し、さらに水素結合により大気中の H_2O を吸着して SiO_F 中の水分含有量を増大させる。この場合には、やはり後工程で層間絶縁膜に接続孔

を開口し、接続孔内に金属膜を埋め込む際に、ポイズンドピアを発生し、埋め込み特性の劣化やコンタクト抵抗値の上昇を招く結果となる。SiOF低誘電率層間絶縁膜に関しては、例えば月刊セミコンダクター・ワールド誌（プレスジャーナル社刊）1996年3月号p. 76等に紹介されている。

【0007】一方、有機材料系の低誘電率絶縁体膜としては、シロキサン結合を有する有機SOG (Spin On Glass)、ポリイミド、ポリバラキシリレン（商品名パリレン）、ベンゾシクロブテン、ポリナフタレン等の有機高分子材料が知られている。これらの材料は、炭素原子を含有することで密度を低減し、また分子（モノマ）自身の分極率を小さくすることで低誘電率を達成している。またシロキサン結合、イミド結合、あるいは芳香環を導入することによりある程度の耐熱性を得ている。さらに、フレア（アライドシグナル社商品名）あるいはパーフルオロ基含有ポリイミドやフッ化ポリアリルエーテル等のフッ素樹脂系の有機高分子材料においては、さらに低分極率のC-F結合の導入により、一層の低誘電率と耐熱性が得られる。かかるフッ素樹脂系の有機高分子材料は比誘電率が2.0と極めて低いが、シリコン基板やシリコン酸化膜との密着性が不十分であることが指摘される。これら有機低誘電率材料については、例えば日経マイクロデバイス誌1995年7月号p. 105に紹介されている。

【0008】これら比誘電率が3.5以下の低誘電率材料層を、隣り合う配線間のもとより、異なるレベルの配線層間にも適用し、しかも低誘電率材料層をSiO₂（比誘電率4）、SiON（比誘電率4~6）やSi₃N₄（比誘電率6）等の膜質に優れた絶縁膜により挟み込む構造の積層絶縁膜を、本願出願人は特開平8-162528号公報で開示し、低誘電率と高信頼性を合わせ持つ層間絶縁膜を有する半導体装置の可能性を示した。

【0009】低誘電率絶縁体膜に限らず、多層配線間の層間絶縁膜としては、隣り合う配線間の凹部を埋め込むために、ギャップフィル能力およびグローバル平坦化能力が求められる。ギャップフィル能力は微細間隔のスペースをボイドを発生することなく充填する能力である。またグローバル平坦化能力は、大面積のスペース領域を中弛みなく充填する能力のことである。これらの要請に応じて提案された方法の一例として、英国ETEC社のAPL (Advanced Planarization Layer) 技術と称される方法がある。この方法は原料ガスとしてSiH₄とH₂O₂を用い、被処理基板を0℃程度に冷却してCVDを施すことにより、凹凸を有する被処理基板表面にあたかも液体を垂らしたような状態でSiO₂を成膜するものである。ギャップフィル能力に関しては、アスペクト比4程度までは問題なく、グローバル平坦化に関しては10μmのスペースを

平坦に埋め込むことが可能とされている。しかしながら、被処理基板温度が10℃以上に上昇すると、成膜途上での液体のような挙動を失い、ギャップフィル能力およびグローバル平坦化能力は徐々に劣化する。

【0010】このように、APL技術は成膜形状については魅力のある方法である。しかし、低誘電率の面では特徴はなく、比誘電率が4~5とSOG膜、O₃-TEOS膜並みである。これは、APL膜に含まれる水酸基（-OH基）が比誘電率を上げるためであり、水酸基が除去された化学量論的なSiO₂を成膜したとしても、比誘電率は3.8程度が限界である。最近ではAPL膜中にF原子を導入して比誘電率を3.5程度まで低減する方法も報告されているが、半導体装置のさらなる高集積化の要請により、3.0未満の低誘電率絶縁体膜が必要とされている。

【0011】

【発明が解決しようとする課題】このような技術的背景のもとで、埋め込み能力が高く、しかも3.0未満の比誘電率の低誘電率絶縁体膜が求められている。これを達成する方法としては2つのアプローチが考えられ、一つはAPL技術のような埋め込み能力の高い成膜方法を用いて低誘電率を達成するものであり、二つ目は低誘電率膜で、かつ埋め込み能力の高い成膜技術を開発する方法である。本発明は、前者のAPL技術のごとき液相CVD法を用いて、密着性や加工性に優れた低誘電率絶縁体膜を形成する方法、およびこれを用いた半導体装置を提供することをその課題とする。

【0012】

【課題を解決するための手段】本発明の低誘電率絶縁体膜の形成方法は、上述の課題を解決するために提案するものであり、フルオロカーボン系樹脂成分を含有する酸化シリコン系絶縁膜を、被処理基板上に化学的気相成長法により成膜する低誘電率絶縁体膜の形成方法において、この化学的気相成長法に用いる原料化合物は、少なくともテトラフルオロエチレン、シラン系化合物およびH₂O₂を含むことを特徴とする。

【0013】また本発明の低誘電率絶縁体膜の形成方法は、フルオロカーボン系樹脂成分を含有する酸化シリコン系絶縁膜を、被処理基板上に化学的気相成長法により成膜する低誘電率絶縁体膜の形成方法において、この化学的気相成長法に用いる原料化合物は、少なくともポリテトラフルオロエチレン、シラン系化合物およびH₂O₂を含むことを特徴とする。ポリテトラフルオロエチレンは、本明細書中においてはテトラフルオロエチレンの2量体以上の重合体のうち、気化する低重合度のものを意味するものとする。

【0014】本発明で採用するシラン系化合物は、シラン、ジシラン、モノメチルシランおよびジメチルシランのうちの少なくともいずれか1種であることが望ましい。本発明の低誘電率絶縁体膜の形成方法においては、

被処理基板はその表面に段差を有し、この段差を埋めて略平坦な表面を有する低誘電率絶縁体膜を形成する際に好ましく適用することができる。成膜時においては、被処理基板を室温以下に制御しつつ、化学的気相成長を施すことが望ましい。本発明の低誘電率絶縁体膜の形成方法により、3.0未満の比誘電率の絶縁膜を形成することが可能である。

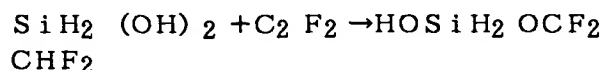
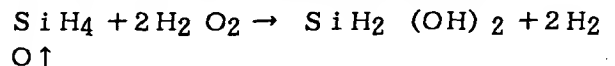
【0015】本発明の半導体装置は、かかる方法により形成された低誘電率絶縁体膜を、層間絶縁膜として有することを特徴とする。

【0016】本発明により成膜される低誘電率絶縁体膜は、フルオロカーボン系樹脂と酸化シリコンとが混合された共重合体材料である。すなわち、フルオロカーボン系樹脂のカーボン主鎖にシロキサン結合が付加された構造、あるいは酸化シリコンネットワーク中のシリコン原子にパーフルオロカーボン基が導入された構造を有する。このため、比誘電率は約2.2~2.5とSiOFの約3.4と比較して大幅に低下する。また酸化シリコン成分を含有するので、シリコン基板やシリコン酸化膜等との密着性が改善される。またCVD方法やエッチング方法等の加工性も問題なく、従来の酸化シリコンプロセスとの整合性に優れる。またギャップフィル能力やグローバル平坦化能力についても、液相CVD法であるので原理的に優れる。

【0017】このように、本発明の低誘電率絶縁体膜の形成方法を採用することにより、シリコン基板や酸化シリコン、あるいはバリア層や金属配線との密着性が向上し、信頼性の高い高速動作かつ低消費電力の高集積度半導体装置を提供することが可能となる。

【0018】

【実施例】以下、本発明の具体的実施例につき図面を参照しながら説明する。まず本発明の低誘電率絶縁体膜の形成方法によるフルオロカーボン・シロキサン共重合体形成のメカニズムを、最も代表的なテトラフルオロエチレン、モノシランおよびH₂O₂を原料ガスとして用いた場合を例にして説明する。原料化合物はすべて気体の状態でCVDチャンバ内に導入する。CVDチャンバ内では、例えば下記に示される反応機序により、フルオロカーボン・シロキサン共重合体が形成される。



上式に示される重合反応を繰り返すことにより、フルオロカーボン・シロキサン共重合体からなる低誘電率絶縁体膜が形成される。この重合反応は、反応副生成物のH*



*2 Oの脱離反応が律速となる比較的遅い反応であり、重合が進まないうちは、低次の共重合体膜は液体のように挙動する。したがって、このCVD法（液相CVD法）は、ギャップフィル能力とグローバル平坦化能力を共に満たす成膜法となる。

【0019】次に本発明の低誘電率絶縁体膜の形成方法に供されるCVD装置の一構成例を図2に示す概略断面図を参照して説明する。本CVD装置は基本的には枚葉式の減圧CVD装置であり、CVDチャンバ5内には被処理基板1を載置する基板ステージ2およびガス拡散板3が対向配置されている。基板ステージ2は不図示の冷却手段により、被処理基板1を例えば0℃の低温に制御することが可能である。冷却手段としては例えばエタノール等の冷媒を循環させる周知の方法を採用してよい。ガス拡散板3にはテトラフルオロエチレン、シラン系化合物およびH₂O₂のガス配管4が接続され、これら化合物の混合ガスを被処理基板1に向けて均一に供給することができる。これらガス配管4およびガス拡散板3等は、原料化合物が露結あるいは凝固しないように、必要に応じて加熱できるヒータ等の加熱手段が付随している。なお図2においては被処理基板1の搬入搬出口やガス排気口、真空ポンプ、あるいは温度制御装置等の装置細部は図示を省略する。

【0020】実施例1

本実施例は、Al等の金属配線により段差が形成された基板を採用し、この被処理基板上に低誘電率絶縁体膜を形成した例であり、この工程を図1(a)~(c)を参照して説明する。

【0021】本実施例で採用した被処理基板は図1

(a)に示すように、不図示のMOSトランジスタ等が作りこまれたSi等の半導体基板11上に、SiO₂等からなる下層層間絶縁膜12、Al-1%Si等からなる配線層13、および配線層13をコンフォーマルに被覆するSiO₂等からなる保護膜14が形成されたものである。この下層層間絶縁膜12は例えばSiH₄/N₂O混合ガスやTEOS/O₂混合ガスを用いたプラズマCVD法等により500nmの厚さに形成したものである。また配線層13は一例としてAl-1%Siをターゲットとしたスパッタリング成膜、レジストマスクパターニングおよび塩素系ガスを用いたドライエッチングの各工程を経て、0.25μmのラインアンドスペースパターンに形成したものであり、その厚さは例えば500nm、アスペクト比は2である。また、保護膜14は配線層13の腐食等を防止して信頼性を高めるための保護層であり、その厚さは約50nmである。保護膜14は例えば平行平板型プラズマCVD装置を用い、一例として下記プラズマCVD条件により成膜した。

He	50	sccm
ガス圧力	100	Pa
RFパワー	1.9	W/cm ² (13.56MHz)
基板温度	350	℃

【0022】この被処理基板を、図2に示した液相CVD装置の基板ステージ2上にセッティングし、一例として下記CVD条件により低誘電率絶縁体膜15を例えば800nmの厚さ(段差凹部)に平坦に形成する。成膜後の状態を図1(b)に示す。

Si H ₄	50	sc cm
H ₂ O ₂	200	sc cm
C ₂ F ₄	200	sc cm
ガス圧力	200	Pa
被処理基板温度	0	℃

本プラズマCVD工程において、 H_2 O_2 ($m.p. = -0.43^\circ C$, $b.p. = 152^\circ C$) は液体ソースであるので、 H_2 O_2 容器を加熱して気化させてCVDチャンバ5内に導入する。またガス拡散板3は例えば $100^\circ C$ に制御し、ここでのソースガスの凝縮を防止する。なお SiH_4 はジシラン (Si_2H_6) を用いてもよい。

【0023】形成された低誘電率絶縁体膜15は比誘電率が2.0~2.5の範囲であり、ギャップフィル能力はアスペクト比4まで、またグローバル平坦化能力は配線スペース間隔10 μm まで充分であり、ほぼ平坦な表面を確保することが可能であった。

【0024】この後、図1(c)に示すように、低誘電率絶縁体膜15上にCVD法により例えばSiO₂からなる絶縁膜16を、0.3μmの厚さに形成した。絶縁膜16はCVD法以外にもスパッタリング法やスピノン法等、酸線層13の耐熱性に問題を生じない方法であればいずれの成膜方法を採用してもよい。次に、液相CVD法で形成した低誘電率絶縁体膜15中の水分を除去するために、アニール処理を施す。アニール条件としては、通常の熱処理雰囲気炉を用い、例えばN₂中400℃30分でよい。またこのアニール処理は絶縁膜16の成膜前におこなってもよい。

【0025】この後の工程、すなわち絶縁膜16、低誘電率絶縁体膜15および保護膜14からなる積層膜のドライエッチングによるピアコンタクト孔の開口、コンタクトプラグの充填等は通常の方法に準じておこなってよい。低誘電率絶縁体膜15のエッチング特性は従来のSiO₂のエッチング特性とほぼ同じであるので、1ステップでのドライエッチングが可能である。この後、必要に応じて配線層の形成以降を反復し、多層配線構造を完成する。本実施例によれば、テトラフルオロエチレン、モノシランおよびH₂O₂を原料ガスに採用することにより、段差被処理基板上に低誘電率絶縁体膜を平坦に形成することができる。

【0026】 实施例2

本実施例は、前実施例 1 に準拠したものであり、低誘電 50

率絶縁体膜の形成方法のみが異なる。したがって相違点のみを説明し重複する説明は省略する。本実施例の低誘電率絶縁体膜の形成方法におけるフッ素の供給源としては、ポリテトラフルオロエチレン $\text{CF}_3(\text{CF}_2)_n\text{CF}_3$ (n は整数)を採用した。ポリテトラフルオロエチレンは先に手段の項で説明したように、比較的重合度の小さい気化可能のものが選ばれる。このポリテトラフルオロエチレンは固体ソースの場合もあるので、溶媒としてフッリナートに溶解し、窒素をキャリアガスとしてCVDチャンバ内に導入した。ポリテトラフルオロエチレンはアモルファス状のものが、溶解度が大きくこの目的に相応しい。ポリテトラフルオロエチレンの供給方法としては、CVDチャンバ内に例えば分子量数万の固体ソースを設置し、これをレーザ照射等で加熱しクラッキングして気化してもよい。CVDチャンバ内のガス拡散板は、200℃に制御してポリテトラフルオロエチレンの凝着を防止した。低誘電率絶縁体膜のCVD条件の一例を下記に示す。

SiH ₄	50	sccm
(またはSi ₂ H ₆)		
H ₂ O ₂	200	sccm
N ₂	500	sccm
(ポリテトラフルオロエチレンのキャリアガスとして)		
ガス圧力	200	Pa
被処理基板温度	0	℃

30 【0027】このCVD条件においても、形成された低誘電率絶縁体膜15は比誘電率が2.0~2.5の範囲であり、ギャップフィル能力はアスペクト比4まで、またグローバル平坦化能力は配線スペース間隔10 μ mまで充分であり、ほぼ平坦な表面を確保することが可能であった。この後の工程は前実施例1と同様である。本実施例においては、前実施例1の効果に加えてフッ素の供給源として取り扱いの簡便な固体ソースを使用できる長所がある。

【0028】 实施例3

40 本実施例は、前実施例2に準拠したものであり、低誘電率絶縁体膜の形成方法のみが異なるので、ここでも相違点のみを説明し重複する説明は省略する。本実施例の低誘電率絶縁体膜の形成方法におけるシリコンソースとしては、シランに替えてメチルシランを採用した。メチルシランとしてはモノメチルシランあるいはジメチルシランのいずれでもよい。低誘電率絶縁体膜のCVD条件の一例を下記に示す。

(CH ₃) ₂ SiH ₃	50	sccm
H ₂ O ₂	200	sccm
N ₂	500	sccm

(ポリテトラフルオロエチレンのキャリアガスとして)
 ガス圧力 200 Pa
 被処理基板温度 0 °C
 なおキャリアガスのN₂は、Ar、HeあるいはH₂でもよい。

【0029】このCVD条件においても、ギャップフィル能力はアスペクト比4まで、またグローバル平坦化能力は配線スペース間隔10μmまで充分であり、ほぼ平坦な表面を確保することが可能であった。本実施例においてはシリコンソースとしてアルキル基、ここではメチル基を有するメチルシランを用いているので、形成された低誘電率絶縁体膜15の比誘電率は2.0~2.5の範囲で小さいものが得られやすい。ただし、耐熱性の点では若干の低下が見られるので、用途による使い分けが必要である。

【0030】この後の工程は実施例1に準じて良いが、低誘電率絶縁体膜のアニール条件としては例えばN₂雰囲気中400°C15分程度が望ましい。

【0031】以上、本発明を3例の実施例により説明したが、本発明はこれら実施例に何ら限定されるものではない。

【0032】例えば、Al-1%Si合金からなる配線層により段差が形成された被処理基板を採用したが、多結晶シリコンや高融点金属、あるいはその積層構造の高融点金属ポリサイドを用いてもよい。この場合には低誘電率絶縁体膜のアニール条件等の温度条件は高温側にシフトすることができる。また半導体装置の構造としても、配線層上に低誘電率絶縁体膜からなる層間絶縁膜を形成する場合について例示したが、低誘電率絶縁体膜からなる層間絶縁膜に溝を形成し、溝内にエッチバックや

研磨により埋め込み配線を形成する半導体装置構造に用いてもよい。さらに、最終パッシベーション膜として用いる場合や、トレンチアイソレーション等をボイドの発生なく平坦に埋め込む場合等にも適用できる。半導体基板としてはSiの他にGaAs等の化合物半導体基板を用いる場合にも有効である。また半導体装置以外にも、薄膜ヘッドや薄膜インダクタ等、高周波の各種マイクロ電子デバイスにも適用可能であることは言うまでもない。

【0033】

【発明の効果】以上の説明から明らかなように、本発明の低誘電率絶縁体膜の形成方法によれば、従来の方法に比較してギャップフィル能力およびグローバル平坦化能力ともに優れた低誘電率絶縁体膜が得られる。またフルオロカーボン樹脂系の有機低誘電率膜と比較して密着性、エッチング特性に優れる。したがって、配線間容量による信号遅延や消費電力が問題となるロジックICや高集積度メモリ等の半導体装置を信頼性よく提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例1ないし3の工程を説明する概略断面図である。

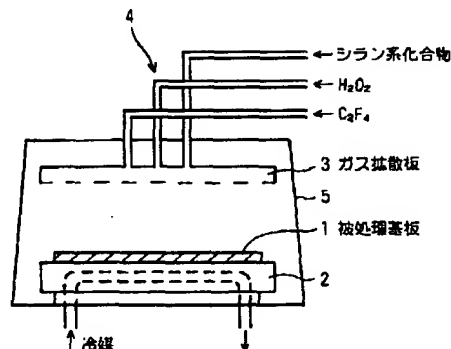
【図2】本発明の実施例1ないし3で採用したCVD装置の一構成例を示す概略断面図である。

【符号の説明】

1…被処理基板、2…基板ステージ、3…ガス拡散板、4…ガス配管、5…CVDチャンバ

11…半導体基板、12…下層層間絶縁膜、13…配線層、14…保護層、15…低誘電率絶縁体膜、16…絶縁膜

【図2】



【図1】

